



JPW

PTO/SB/21 (08-03)

Approved for use through 08/30/2003. OMB 0651-0031

U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

<b>TRANSMITTAL FORM</b>  (to be used for all correspondence after initial filing)	Application Number	10/709,505	
	Filing Date	05/11/2004	
	First Named Inventor	Leo Wang	
	Art Unit		
	Examiner Name		
Total Number of Pages in This Submission	3	Attorney Docket Number	LKSP0030USA

ENCLOSURES (Check all that apply)		
<input checked="" type="checkbox"/> Fee Transmittal Form	<input type="checkbox"/> Drawing(s)	<input type="checkbox"/> After Allowance communication to Technology Center (TC)
<input type="checkbox"/> Fee Attached	<input type="checkbox"/> Licensing-related Papers	<input type="checkbox"/> Appeal Communication to Board of Appeals and Interferences
<input type="checkbox"/> Amendment/Reply	<input type="checkbox"/> Petition	<input type="checkbox"/> Appeal Communication to TC (Appeal Notice, Brief, Reply Brief)
<input type="checkbox"/> After Final	<input type="checkbox"/> Petition to Convert to a Provisional Application	<input type="checkbox"/> Proprietary Information
<input type="checkbox"/> Affidavits/declaration(s)	<input type="checkbox"/> Power of Attorney, Revocation	<input type="checkbox"/> Status Letter
<input type="checkbox"/> Extension of Time Request	<input type="checkbox"/> Change of Correspondence Address	<input type="checkbox"/> Other Enclosure(s) (please identify below):
<input type="checkbox"/> Express Abandonment Request	<input type="checkbox"/> Terminal Disclaimer	
<input type="checkbox"/> Information Disclosure Statement	<input type="checkbox"/> Request for Refund	
<input checked="" type="checkbox"/> Certified Copy of Priority Document(s)	<input type="checkbox"/> CD, Number of CD(s) _____	
<input type="checkbox"/> Response to Missing Parts/Incomplete Application	Remarks	
<input type="checkbox"/> Response to Missing Parts under 37 CFR 1.52 or 1.53		

SIGNATURE OF APPLICANT, ATTORNEY, OR AGENT	
Firm or Individual name	Winston Hsu, Reg. No.: 41,526
Signature	<i>Winston Hsu</i>
Date	5/13/2004

CERTIFICATE OF TRANSMISSION/MAILING			
I hereby certify that this correspondence is being facsimile transmitted to the USPTO or deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450 on the date shown below.			
Typed or printed name			
Signature		Date	

This collection of information is required by 37 CFR 1.5. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.



PTO/SB/17 (10-03)  
Approved for use through 07/31/2006. OMB 0651-0032  
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE  
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

# FEE TRANSMITTAL for FY 2004

Effective 10/01/2003. Patent fees are subject to annual revision.

☐ Applicant claims small entity status. See 37 CFR 1.27

TOTAL AMOUNT OF PAYMENT (\$ ) 0.00

## Complete if Known

Application Number 10/709,505  
Filing Date 05/11/2004  
First Named Inventor Leo Wang  
Examiner Name  
Art Unit  
Attorney Docket No. LKSP0030USA

## METHOD OF PAYMENT (check all that apply)

☐ Check ☐ Credit card ☐ Money Order ☐ Other ☐ None

☒ Deposit Account:

Deposit Account Number 50-3105  
Deposit Account Name North America Intellectual Property Corp.

The Director is authorized to: (check all that apply)

☒ Charge fee(s) indicated below ☒ Credit any overpayments

☒ Charge any additional fee(s) or any underpayment of fee(s)

☐ Charge fee(s) indicated below, except for the filing fee to the above-identified deposit account.

## FEE CALCULATION

### 1. BASIC FILING FEE

Large Entity		Small Entity		Fee Description	Fee Paid
Fee Code	Fee (\$)	Fee Code	Fee (\$)		
1001	770	2001	385	Utility filing fee	
1002	340	2002	170	Design filing fee	
1003	530	2003	265	Plant filing fee	
1004	770	2004	385	Reissue filing fee	
1005	160	2005	80	Provisional filing fee	
SUBTOTAL (1)					(\$ ) 0.00

### 2. EXTRA CLAIM FEES FOR UTILITY AND REISSUE

		Extra Claims	Fee from below	Fee Paid
Total Claims		-20** =	X	
Independent Claims		-3** =	X	
Multiple Dependent				

Large Entity		Small Entity		Fee Description
Fee Code	Fee (\$)	Fee Code	Fee (\$)	
1202	18	2202	9	Claims in excess of 20
1201	86	2201	43	Independent claims in excess of 3
1203	290	2203	145	Multiple dependent claim, if not paid
1204	86	2204	43	** Reissue independent claims over original patent
1205	18	2205	9	** Reissue claims in excess of 20 and over original patent

SUBTOTAL (2) (\$ ) 0.00

\*\*or number previously paid, if greater; For Reissues, see above

## FEE CALCULATION (continued)

### 3. ADDITIONAL FEES

Large Entity Small Entity

Fee Code	Fee (\$)	Fee Code	Fee (\$)	Fee Description	Fee Paid
1051	130	2051	65	Surcharge - late filing fee or oath	
1052	50	2052	25	Surcharge - late provisional filing fee or cover sheet	
1053	130	1053	130	Non-English specification	
1812	2,520	1812	2,520	For filing a request for <i>ex parte</i> reexamination	
1804	920*	1804	920*	Requesting publication of SIR prior to Examiner action	
1805	1,840*	1805	1,840*	Requesting publication of SIR after Examiner action	
1251	110	2251	55	Extension for reply within first month	0.00
1252	420	2252	210	Extension for reply within second month	
1253	950	2253	475	Extension for reply within third month	
1254	1,480	2254	740	Extension for reply within fourth month	
1255	2,010	2255	1,005	Extension for reply within fifth month	
1401	330	2401	165	Notice of Appeal	
1402	330	2402	165	Filing a brief in support of an appeal	
1403	290	2403	145	Request for oral hearing	
1451	1,510	1451	1,510	Petition to institute a public use proceeding	
1452	110	2452	55	Petition to revive - unavoidable	
1453	1,330	2453	665	Petition to revive - unintentional	
1501	1,330	2501	665	Utility issue fee (or reissue)	
1502	480	2502	240	Design issue fee	
1503	640	2503	320	Plant issue fee	
1460	130	1460	130	Petitions to the Commissioner	
1807	50	1807	50	Processing fee under 37 CFR 1.17(q)	
1806	180	1806	180	Submission of Information Disclosure Stmt	
8021	40	8021	40	Recording each patent assignment per property (times number of properties)	
1809	770	2809	385	Filing a submission after final rejection (37 CFR 1.129(a))	
1810	770	2810	385	For each additional invention to be examined (37 CFR 1.129(b))	
1801	770	2801	385	Request for Continued Examination (RCE)	
1802	900	1802	900	Request for expedited examination of a design application	

Other fee (specify)

\*Reduced by Basic Filing Fee Paid

SUBTOTAL (3) (\$ ) 0.00

## SUBMITTED BY

(Complete if applicable)

Name (Print/Type) Winston Hsu Registration No. 41,526 Telephone 886289237350  
Signature [Signature] (Attorney/Agent) Date 5/13/2004

**WARNING: Information on this form may become public. Credit card information should not be included on this form. Provide credit card information and authorization on PTO-2038.**

This collection of information is required by 37 CFR 1.17 and 1.27. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS.  
SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.



PTO/SB/02B (11-00)  
Approved for use through 10/31/2002. OMB 0651-0032  
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

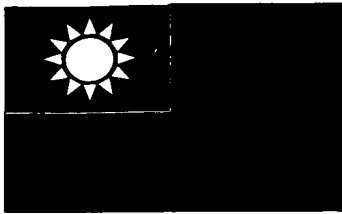
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

## DECLARATION — Supplemental Priority Data Sheet

Additional foreign applications:

Prior Foreign Application Number(s)	Country	Foreign Filing Date (MM/DD/YYYY)	Priority Not Claimed	Certified Copy Attached?	
				YES	NO
092130992	Taiwan R.O.C	11/05/2003	<input type="checkbox"/>	<input checked="" type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>

Burden Hour Statement: This form is estimated to take 21 minutes to complete. Time will vary depending upon the needs of the individual case. Any comments on the amount of time you are required to complete this form should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, Washington, DC 20231. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Assistant Commissioner for Patents, Washington, DC 20231.



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE  
MINISTRY OF ECONOMIC AFFAIRS  
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，  
其申請資料如下：

This is to certify that annexed is a true copy from the records of this  
office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 11 月 05 日  
Application Date

申請(案)號：092130992  
Application No.

申請人：力晶半導體股份有限公司  
Applicant(s)

局長  
Director General

蔡練生

發文日期：西元 2004 年 4 月 29 日  
Issue Date

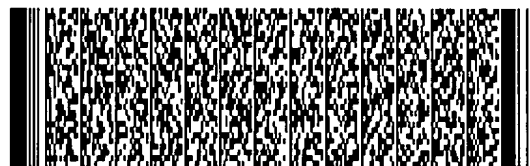
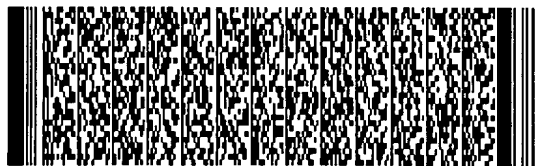
發文字號：09320378500  
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

## 發明專利說明書

一、 發明名稱	中 文	快閃記憶體結構及其製作方法
	英 文	METHOD OF FORMING FLASH MEMORY
二、 發明人 (共5人)	姓 名 (中文)	1. 王進忠 2. 杜建志
	姓 名 (英文)	1. WANG, LEO 2. DU, CHIEN-CHIH
	國 籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW
	住居所 (中 文)	1. 新竹縣湖口鄉安宅三街十六號 2. 新竹市光復路一段三五四巷十六弄二十三號六樓
	住居所 (英 文)	1. No. 16, An-Chai San St., Hu-Kou Hsiang, Hsin-Chu Hsien, Taiwan, R.O.C. 2. 6F, No. 23, Alley 16, Lane 354, Sec. 1, Kuang-Fu Rd., Hsin-Chu
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 力晶半導體股份有限公司
	名稱或 姓 名 (英文)	1. POWERCHIP SEMICONDUCTOR CORP.
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 新竹市科學工業園區力行一路十二號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. No. 12, Li-Hsin Rd. I, Science-based Industrial Park, Hsin-Chu City 300, Taiwan, R.O.C.
	代表人 (中文)	1. 黃崇仁
	代表人 (英文)	1. HUANG, CHUNG-JENG



申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

## 發明專利說明書

一、 發明名稱	中 文	
	英 文	
二、 發明人 (共5人)	姓 名 (中文)	3. 宋達 4. 洪至偉
	姓 名 (英文)	3. SUNG, DA 4. HUNG, CHIH-WEI
	國 籍 (中英文)	3. 中華民國 TW 4. 中華民國 TW
	住居所 (中 文)	3. 新竹市光復路一段八十九巷一二三之二號九樓之一 4. 新竹市花園街一〇六號七樓之三
	住居所 (英 文)	3. 9F-1, No. 123-2, Lane 89, Sec. 1, Kuang-Fu Rd., Hsin-Chu City, Taiwan, R.O.C. 4. 7F-3, No. 106, Hua-Yuan St., Hsin-Chu City, Taiwan, R.O.C.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	
	名稱或 姓 名 (英文)	
	國 籍 (中英文)	
	住居所 (營業所) (中 文)	
	住居所 (營業所) (英 文)	
	代表人 (中文)	
	代表人 (英文)	



申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

## 發明專利說明書

一、 發明名稱	中 文	
	英 文	
二、 發明人 (共5人)	姓 名 (中 文)	5. 黃明山
	姓 名 (英 文)	5. HUANG, VINCENT
	國 籍 (中 英 文)	5. 中 華 民 國 TW
	住 居 所 (中 文)	5. 新竹市柏川三路七號
	住 居 所 (英 文)	5.No. 7, Po-Chuan San Rd., Hsin-Chu City, Taiwan, R.O.C.
三、 申請人 (共1人)	名稱或 姓 名 (中 文)	
	名稱或 姓 名 (英 文)	
	國 籍 (中 英 文)	
	住 居 所 (營 業 所) (中 文)	
	住 居 所 (營 業 所) (英 文)	
	代 表 人 (中 文)	
	代 表 人 (英 文)	



四、中文發明摘要 (發明名稱：快閃記憶體結構及其製作方法)

首先提供一具有一P型淺摻雜區之基底，並於基底表面形成至少一堆疊閘極，且堆疊閘極包含有一隧穿氧化層、一浮動閘極、一ONO層及一控制閘極，接著於堆疊閘極側邊之基底中形成一P型深摻雜區，隨後氧化浮動閘極與控制閘極之邊緣部分，以形成一圓弧型絕緣阻障層，最後再於堆疊閘極兩側之基底中形成一汲極與一源極。

五、英文發明摘要 (發明名稱：METHOD OF FORMING FLASH MEMORY)

A substrate having a P-type shallow doped region is provided, and at least a stacked gate structure having a tunneling oxide layer, a floating gate, an ONO layer, and a controlling gate from bottom to top is formed thereon. Then, a P-type deep doped region is formed in the substrate alongside the stacked gate structure. Following that, an oxidation process is performed





四、中文發明摘要 (發明名稱：快閃記憶體結構及其製作方法)

五、英文發明摘要 (發明名稱：METHOD OF FORMING FLASH MEMORY)

to oxidize the floating gate and the controlling gate such that an insulating barrier layer is formed. Finally, a drain and a source are formed in the substrate.



六、指定代表圖

(一)、本案代表圖為：第\_\_\_十三\_\_\_\_\_圖

(二)、本案代表圖之元件代表符號簡單說明：

601	快閃記憶胞	62	基底
64	摻雜井	66	淺摻雜區
68	氧化層	71	浮動閘極
72	ONO層	75	控制閘極
76	頂蓋層	80	堆疊閘極結構
84	深摻雜區	86	絕緣阻障層
88	汲極摻雜區	90	源極摻雜區
92	側壁子	94	內介電層
96	位元線插塞	98	位元線



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得, 不須寄存。



## 五、發明說明 (1)

### 【技術領域】

本發明係提供一種快閃記憶體結構及其製作方法，尤指一種可避免閘極干擾(gate disturb)的快閃記憶體結構及其製作方法。

### 【先前技術】

隨著可攜式(portable)電子產品的需求增加，快閃(flash)記憶體的技術以及市場應用也日益成熟擴大，其主要運用於數位相機、手機及個人數位助理(personal digital assistant, PDA)等可攜式電子產品的記憶體。快閃記憶體係為一種非揮發性記憶體(non-volatile memory)，其運作原理是藉由改變電晶體或記憶單元的臨界電壓(threshold voltage)來控制相對應閘極通道的開啟或關閉以達到記憶資料的目的，而且儲存在記憶體中的資料不會因電源中斷而受到消失。

請參考圖一，圖一為一習知快閃記憶胞10之示意圖。習知快閃記憶胞10係形成於一基底12上並利用場氧化層14與相鄰之快閃記憶胞相隔絕。快閃記憶胞10包含有一汲極16、一源極18及一堆疊閘極結構20。其中，汲極16與源極18係為二位於基底12中不相鄰之離子摻雜區，並位於一P型井15上方，而堆疊閘極結構20則形成於汲極16及



## 五、發明說明 (2)

源極18之間的基底12表面，且堆疊閘極結構20由下而上依序包含有一隧穿氧化層22、一浮動閘極(floating gate)24、一ONO層26以及一控制閘極(controlling gate)28。

如圖一所示，快閃記憶體胞10係利用一閘極電壓 $V_G$ 施加於控制閘極28上來加以控制，而浮動閘極24則係處於一浮動狀態。當執行快閃記憶體胞10的編程操作時，係對控制閘極28施加一低閘極電壓 $V_G$ （如-10V），並同時對汲極16與基底12分別施加一汲極電壓 $V_D$ （如6V）以及一基底電壓 $V_B$ （如0V），而源極18保持浮動狀態。如此，將使得位於浮動閘極24中的電子（ $e^-$ ）因邊緣富勒-諾漢效應（edge Fowler-Nordheim effect）而從浮動閘極24射入汲極18，藉以編程快閃記憶體胞10。然而習知快閃記憶體胞10在施加電壓於汲極16時，此電壓亦會在汲極16外緣形成一空乏區（depletion region）29，產生熱電洞（ $e^+$ ），並再橫向電場（lateral electric field）的作用下，造成熱電洞注入（hot hole injection）之現象，進而嚴重影響快閃記憶體胞10的正常操作。

由於快閃記憶體胞10具有上述缺點，因此習知技術便針對上述缺失提出一種改良的快閃記憶體胞。請參考圖二，圖二為另一習知快閃記憶體胞30之示意圖。為方便說明，圖一與圖二中相同元件使用相同之標號表示。如圖二所



### 五、發明說明 (3)

示，快閃記憶胞30與快閃記憶胞10之結構大致相同，而其不同之處在於快閃記憶胞30之汲極16與P型井15係電連接在一起，故可同時施加一相同的電壓(如6V)於其上，然後再利用通道富勒-諾漢效應(channel Fowler-Nordheim effect)來操作快閃記憶胞30。因此，在汲極16與P型井15間的接面便不會形成空乏區，亦不會有熱電洞產生。

雖然這種利用通道富勒-諾漢效應來操作的快閃記憶胞30可以有效避免空乏區的產生，但是快閃記憶胞30之汲極16與P型井15係電連接在一起，而P型井15在基底12中卻又是延伸相連接的，因此會影響相鄰快閃記憶胞的正常操作。

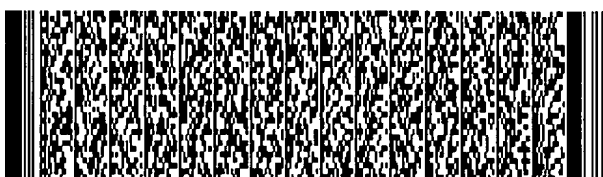
為避免習知快閃記憶胞30因汲極16與P型井15電連接在一起，而影響相鄰的快閃記憶胞正常操作之缺失，又一種快閃記憶胞40即被提出以解決上述問題。請參考圖三，圖三為又一習知快閃記憶胞40之示意圖。如圖三所示，快閃記憶胞40係製作於一基底42上並利用場氧化層44隔離相鄰之快閃記憶胞。快閃記憶胞40包含有一N型汲極摻雜區46、一N型源極摻雜區48、一堆疊閘極結構50位於汲極摻雜區46與源極摻雜區48之間的基底42上、一P型之淺摻雜區51位於堆疊閘極結構50下方之基底42中，以及一P型之深摻雜區52位於汲極摻雜區46下方之基底42中。其



#### 五、發明說明 (4)

中，堆疊閘極結構50另包含有一隧穿氧化層53、一浮動閘極54、一ONO層55及一控制閘極56。此外，深摻雜區52係用來做為P型井之用，而且快閃記憶體中之每一快閃記憶胞之汲極皆只對應一P型井，在此情況下即使將汲極與P型井電連接在一起，也不會影響到相鄰快閃記憶胞的正常操作。

上述之快閃記憶胞40可以解決習知快閃記憶胞30之問題，然而在運用上仍有限制。舉例來說，當快閃記憶胞40運用於一雙向性穿隧三維快閃記憶體(Bi-directional tunneling NOR Flash, BiNOR Flash)的情形下，會產生閘極干擾(gate disturb)而影響相鄰快閃記憶胞的正常操作。請參考圖四與圖五，圖四為習知快閃記憶胞40與其相鄰快閃記憶胞之電路圖，圖五為圖四之快閃記憶胞40於編程時其相鄰快閃記憶胞401之示意圖。如圖四及圖五所示，當對快閃記憶胞40進行編程時，由於快閃記憶胞401係與快閃記憶胞40共用一控制閘極，因此快閃記憶胞401亦獲得一閘極電壓 $V_{G1} = -10V$ ，而快閃記憶胞401之汲極電壓 $V_{D1} = 0V$ ，源極電壓 $V_S = 6V$ ，基底電壓 $V_B = 0V$ 。在此情形下，由於快閃記憶胞401之閘極56與源極48間的電位差達16V，因此快閃記憶胞401之浮動閘極54內的電子會被強迫射入源極48內，而產生漏電情形，進而影響快閃記憶胞401正常操作，這種情形稱為閘極干擾。至於與快閃記憶胞40共用位元線之快閃記憶胞在快閃記憶胞40



#### 五、發明說明 (5)

進行編程時，一般會對該等快閃記憶胞之控制閘極施加一閘極電壓 $V_{G2} = -2V$ ，以減低在編程時的漏電問題，進而避免增加電路中電荷充電(charging pumping)的負荷。

由上述可知，如何提供一種避免BiNOR快閃記憶體相鄰記憶胞間產生閘極干擾，以避免發生漏電等問題而影向快閃記憶體正常運作，實為當前記憶體製造技術的重要課題之一。

#### 【內容】

因此本發明之主要目的在於提供一種快閃記憶體結構及其製作方法，以避免上述BiNOR快閃記憶體產生閘極干擾的問題。

根據本發明所揭露之申請專利範圍，首先提供一具有一第一導電型式之淺摻雜區(shallow doped region)之基底，且基底表面已形成至少一包含有隧穿氧化層(tunneling oxide)、浮動閘極、絕緣層及控制閘極的堆疊閘極結構。接著於堆疊閘極結構側邊之基底中形成一第一導電型式之深摻雜區(deep doped region)。隨後氧化浮動閘極與控制閘極之邊緣部分，以於浮動閘極邊緣形成一圓弧型絕緣阻障層，並同時驅入(drive-in)深摻





## 五、發明說明 (6)

雜區之摻雜離子。最後再於堆疊閘極結構兩側之基底中形成兩第二導電型式之摻雜區，以分別作為快閃記憶體之汲極與源極。

由於本發明之方法係於浮動閘極邊緣形成一圓弧型絕緣阻障層，因此可有效抑制習知BiNOR快閃記憶體的閘極干擾現象。

### 【實施方法】

請參考圖六至圖十三。圖六至圖十三為本發明製作快閃記憶體60的示意圖，其中為方便說明起見，圖六至圖八以外視圖之形式表現本發明之快閃記憶體60，而圖九至圖十三則是沿圖八之切線99'方向以剖面圖之形式表現單一快閃記憶胞601。如圖六所示，首先提供一半導體基底62，基底62中包含有複數個陣列排列之N型摻雜井64，且每一摻雜井64上方之基底62中均包含有一P型之淺摻雜區66，而每一摻雜井64外圍均隔離以一淺溝隔離(STI)或場氧化層(field oxide)(未顯示)。接著於基底62上形成一氧化層68，再依序於氧化層68上沉積一第一多晶矽層70與一ONO層72，然後利用一光阻圖案(未顯示)作為一硬遮罩，去除部分ONO層72與第一多晶矽層70，以形成複數條平行排列並橫跨複數個摻雜井64之第一多晶矽圖案，最



##### 五、發明說明 (7)

後再去除剩餘之光阻圖案。其中，N型摻雜井64係利用一離子佈植製程於基底62中摻雜VA族元素，如磷、砷等離子加以形成，而P型淺摻雜區66則可利用另一離子佈植製程，並利用較低之摻雜能量摻雜IIIA族元素，如硼離子加以形成。

之後如圖七所示，於第一多晶矽圖案及氧化層68上依序沉積一第二多晶矽層74及至少一頂蓋層76，然後於頂蓋層76上再形成一光阻圖案78，用來定義字元線(word line)以及控制閘極75的位置。其中，頂蓋層76之材料可選自四乙氧基矽烷(TEOS)或氮化矽等一般習知用作頂蓋層76之材料。

如圖八所示，接著利用光阻圖案78作為一硬遮罩，先去除了未被光阻圖案78所覆蓋之頂蓋層76及第二多晶矽層74，以形成複數條與該等第一多晶矽圖案平行之第二多晶矽圖案，亦即字元線，隨後再去除未被光阻圖案78覆蓋之ONO層72及第一多晶矽70層。最後去除光阻圖案78，形成複數個陣列排列之堆疊閘極結構80。其中，堆疊閘極結構80中的第一多晶矽層70係用來作為浮動閘極71，而第二多晶矽層74則係作為控制閘極75。

此外，值得注意的是為增加控制閘極75之導電性，本發明之第二多晶矽層74上方可另包含有一金屬矽化物層(未

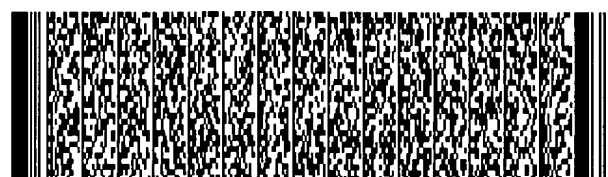
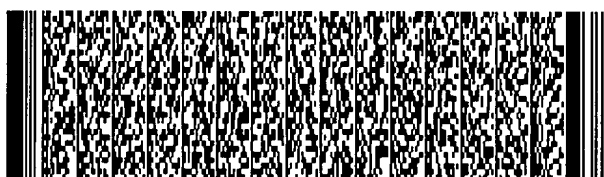


##### 五、發明說明 (8)

顯示)，例如鎢金屬矽化物(tungsten silicide)。而金屬矽化物層(未顯示)可於沉積頂蓋層76之前先沉積於第二多晶矽層74上方，並利用光阻圖案78為一硬遮罩於去除頂蓋層76與第二多晶矽層74時一併去除。

接著如圖九所示，於基底62與堆疊閘極結構80上形成一光阻圖案82，並利用光阻圖案82作為一硬遮罩來進行一離子佈植製程，以於堆疊閘極結構80一側之基底62中形成一P型深摻雜區84。其中，本實施例係利用濃度約為 $4 \times 10^{-13}$  atoms/cm<sup>3</sup>之硼離子進行摻雜，且摻雜能量約為30keV。此外，由於深摻雜區84係形成於堆疊閘極結構80一側之基底62中，因此堆疊閘極結構80亦具有自行對準之功能。

如圖十所示，在去除光阻圖案82之後，接著進行一氧化製程或氮化製程，用來氧化浮動閘極71與控制閘極75之邊緣部分，以於浮動閘極71邊緣形成一圓弧型的絕緣阻障層86，並同時驅入(drive-in)深摻雜區84之摻雜離子。在本實施例中，氧化製程之反應時間約為30分鐘，且反應溫度約為800~1000℃。此外，值得注意的是，本發明之絕緣阻障層86亦可為一複合層結構，因此在本實施例中除上述氧化製程外，可另利用至少一快速加熱氮化(rapid thermal nitridation, RTN)製程或是另一快速加熱氧化(RTO)製程，以形成至少一氮化層或另一氧化

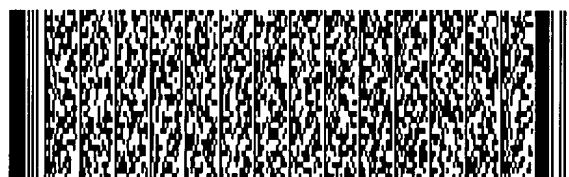


## 五、發明說明 (9)

層，利用複合層結構來加強阻障效果。

如圖十一所示，接著進行另一離子佈植製程，利用一光阻圖案(未顯示)或直接佈植，以於堆疊閘極結構80側邊之基底62中分別形成一N型汲極摻雜區88與一N型源極摻雜區90。在本實施例中，離子佈植製程係使用濃度約為 $3 \times 10^{-14}$  atoms/cm<sup>3</sup>之砷離子進行摻雜，同時摻雜能量約為30kev。隨後如圖十二所示，於氧化層68及堆疊閘極結構80上沉積一氮化矽層(未顯示)，並利用一回蝕刻製程來去除部分氮化矽層(未顯示)及氧化層68，以於堆疊閘極結構80側壁形成一側壁子(spacer)92，以保護堆疊閘極結構80。

最後如圖十三所示，於基底62上全面沉積一內介電層94，並利用一蝕刻製程去除部分汲極摻雜區88上方之內介電層94以及部分汲極摻雜區88與深摻雜區84內之基底62，以形成一接觸洞(未顯示)，接著再形成一位元線插塞96以及一位元線98，並利用位元線插塞96電連接汲極摻雜區88與深摻雜區84，即形成本發明所揭露之快閃記憶體60。其中，位元線插塞96可依實際製程需要而使用一般半導體製程常用之插塞，例如鎢插塞，或直接結合於位元線98的形成製程中，其製作方法與習知技術相同，故在此不再贅述。



##### 五、發明說明 (10)

相較於習知技術，本發明BiNOR快閃記憶體之浮動閘極與控制閘極邊緣包含有一圓弧型之絕緣阻障層，且絕緣阻障層係利用至少一氧化製程形成，因此當快閃記憶體之一記憶胞進行編程時，其相鄰之記憶胞不致產生閘極干擾現象，而影響快閃記憶體正常操作。

以上所述僅為本發明之較佳實施例，凡依本發明申請專利範圍所做之均等變化與修飾，皆應屬本發明專利之涵蓋範圍。



## 圖式簡單說明

### 圖式之簡單說明

圖一為一習知快閃記憶體之示意圖。

圖二為另一習知快閃記憶體之示意圖。

圖三為又一習知快閃記憶體之示意圖。

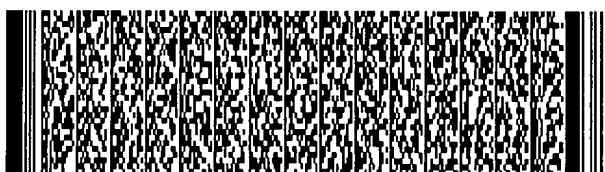
圖四為習知快閃記憶體之電路圖。

圖五為圖四之快閃記憶胞於編程時其相鄰快閃記憶胞之示意圖。

圖六至圖十三為本發明製作快閃記憶體之方法示意圖。

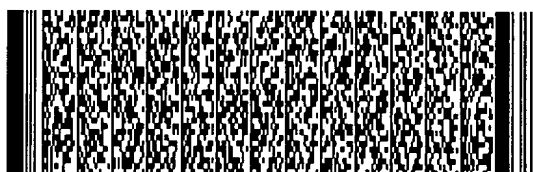
### 圖式之符號說明

10	快閃記憶胞	12	基底
14	場氧化層	15	P型井
16	汲極	18	源極
20	堆疊閘極結構	22	隧穿氧化層
24	浮動閘極	26	ONO層
28	控制閘極	29	空乏區
30	快閃記憶胞	40	快閃記憶胞
401	快閃記憶胞	42	基底
44	場氧化層	46	汲極摻雜區
48	源極摻雜區	50	堆疊閘極結構
51	淺摻雜區	52	深摻雜區
53	隧穿氧化層	54	浮動閘極



圖式簡單說明

55	ONO 層	56	控制閘極
60	快閃記憶體	601	快閃記憶胞
62	基底	64	摻雜井
66	淺摻雜區	68	氧化層
70	第一多晶矽層	71	浮動閘極
72	ONO 層	74	第二多晶矽層
75	控制閘極	76	頂蓋層
78	光阻圖案	80	堆疊閘極結構
82	光阻圖案	84	深摻雜區
86	絕緣阻障層	88	汲極摻雜區
90	源極摻極區	92	側壁子
94	內介電層	96	位元線插塞
98	位元線		



## 六、申請專利範圍

1. 一種製作快閃記憶體之方法，該方法包含有下列步驟：

提供一半導體基底，且該半導體基底中包含有一第一導電型式之淺摻雜區(shallow doped region)；

於該半導體基底表面形成至少一堆疊閘極結構，且該堆疊閘極結構由下至上依序包含有一隧穿氧化層(tunneling oxide)、一浮動閘極、一絕緣層及一控制閘極；

進行一第一離子佈植製程，於該堆疊閘極結構側邊之半導體基底中形成一第一導電型式之深摻雜區(deep doped region)；

進行一氧化(oxidation)製程，用以氧化該浮動閘極與該控制閘極之邊緣部分，以於該浮動閘極邊緣形成一圓弧型絕緣阻障層，並同時驅入(drive-in)該深摻雜區之摻雜離子；

進行一第二離子佈植製程，於該堆疊閘極結構兩側之半導體基底中形成兩第二導電型式之摻雜區，以分別作為該快閃記憶體之汲極與源極；以及

形成一位元線插塞(bit line contact)以及一位元線，且該位元線係利用該位元線插塞與該快閃記憶體之該汲極及該深摻雜區相電連接。

2. 如申請專利範圍第1項所述之方法，其中該半導體基底中另包含有一第二導電型式之摻雜井，且該淺摻雜區、





#### 六、申請專利範圍

該深摻雜區、該汲極以及該源極係位於該摻雜井之上方。

3. 如申請專利範圍第2項所述之方法，其中該第一導電型式係為P型導電型式，且該第二導電型式係為N型導電型式。

4. 如申請專利範圍第1項所述之方法，其中該控制閘極上方另包含有一矽化金屬層(silicide)。

5. 如申請專利範圍第1項所述之方法，其中該堆疊閘極上方另包含有一四乙氧基矽烷層(TEOS)。

6. 如申請專利範圍第1項所述之方法，其中該絕緣阻障層係為一氧化層，且該氧化製程之反應溫度範圍約為800℃至1000℃。

7. 如申請專利範圍第1項所述之方法，其中該絕緣阻障層係為一複合層結構，且該複合層結構包含有至少一氧化層以及至少一氮化層。

8. 如申請專利範圍第8項所述之方法另包含有一快速加熱氮化(rapid thermal nitridation, RTN)製程，以形成該氮化層。



## 六、申請專利範圍

9. 如申請專利範圍第1項所述之方法，其中該絕緣層係為一氧化-氮化-氧化層(oxide-nitride-oxide, ONO)。

10. 如申請專利範圍第1項所述之方法，其中該快閃記憶體於形成該汲極與該源極後另包含有：  
於該堆疊閘極結構側壁形成一側壁子(spacer)；以及  
於該半導體基底表面形成一內介電層(inter-layer dielectrics, ILD)並覆蓋該堆疊閘極結構以及該側壁子。

11. 如申請專利範圍第1項所述之方法，其中該快閃記憶體係為一BiNOR快閃記憶體。

12. 一種快閃記憶胞結構，包含有：

一半導體基底；

一堆疊閘極結構，位於該半導體基底表面，該堆疊閘極結構由下而上依序包含有一隧穿氧化層、一浮動閘極、一絕緣層及一控制閘極，且該浮動閘極與該控制閘極邊緣包含有一圓弧型絕緣阻障層；

一第一導電型式之淺摻雜區，位於該堆疊閘極下方之半導體基底中；

一第一導電型式之深摻雜區，位於該堆疊閘極一側之半導體基底中；



#### 六、申請專利範圍

一 第二導電型式之汲極摻雜區，位於與該深摻雜區同一側之半導體基底中，且該汲極摻雜區底部及側邊被該深摻區包覆；以及

一 第二導電型式之源極摻雜區，位於該堆疊閘極另一側之半導體基底中。

13. 如申請專利範圍第12項所述之快閃記憶體結構，其中該半導體基底中另包含有一第二導電型式之摻雜井，且該淺摻雜區、該深摻雜區、該汲極摻雜區以及該源極摻雜區均位於該摻雜井之上方。

14. 如申請專利範圍第12項所述之快閃記憶體結構，其中該第一導電型式係為P型導電型式，且該第二導電型式係為N型導電型式。

15. 如申請專利範圍第12項所述之快閃記憶體結構，其中該控制閘極上方另包含有一矽化金屬層(silicide)。

16. 如申請專利範圍第12項所述之快閃記憶體結構，其中該堆疊閘極上方另包含有一四乙氧基矽烷層(TEOS)。

17. 如申請專利範圍第12項所述之快閃記憶體結構，其中該絕緣阻障層係為一氧化層。



六、申請專利範圍

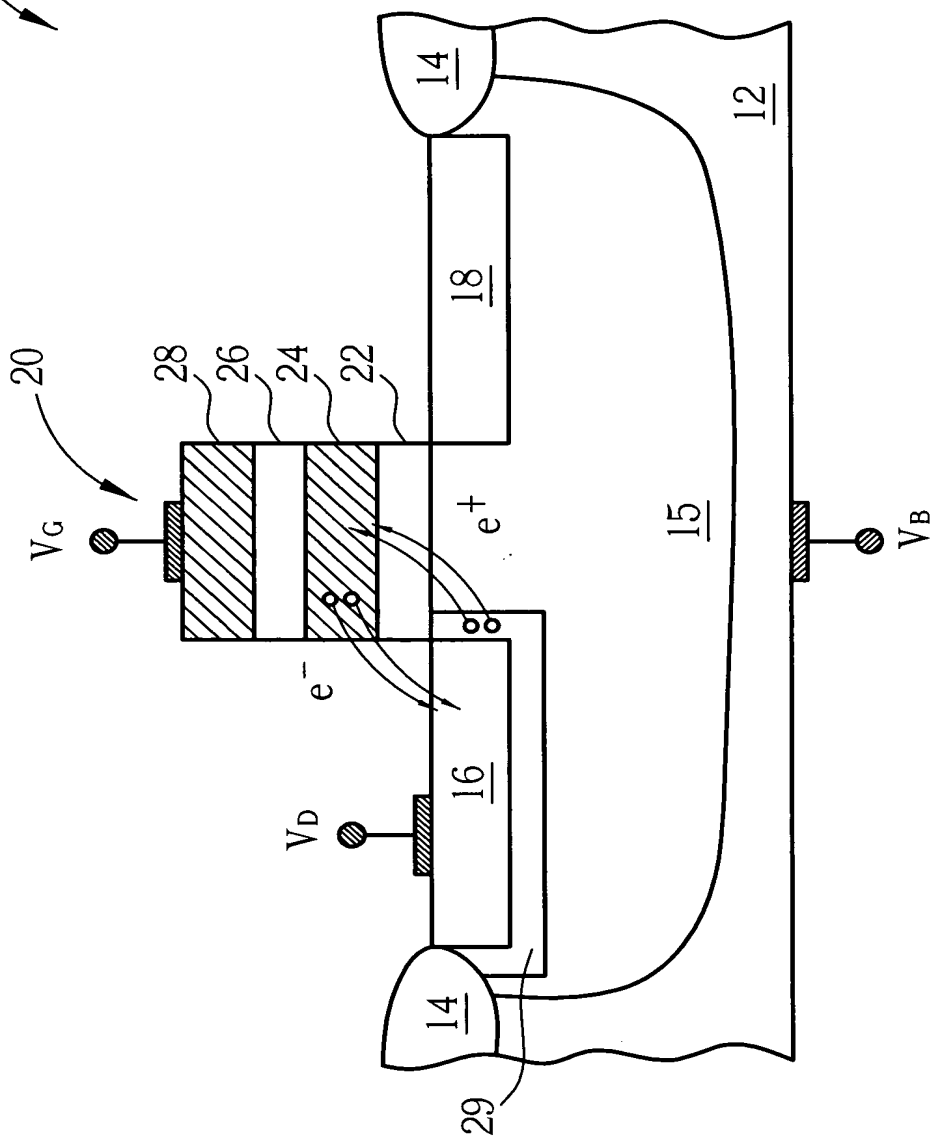
18. 如申請專利範圍第12項所述之快閃記憶胞結構，其中該絕緣阻障層係為一複合層結構，且該複合層結構包含有至少一氧化層以及至少一氮化層。

19. 如申請專利範圍第12項所述之快閃記憶胞結構，其中該絕緣層係為一氧化-氮化-氧化層(oxide-nitride-oxide, ONO)。

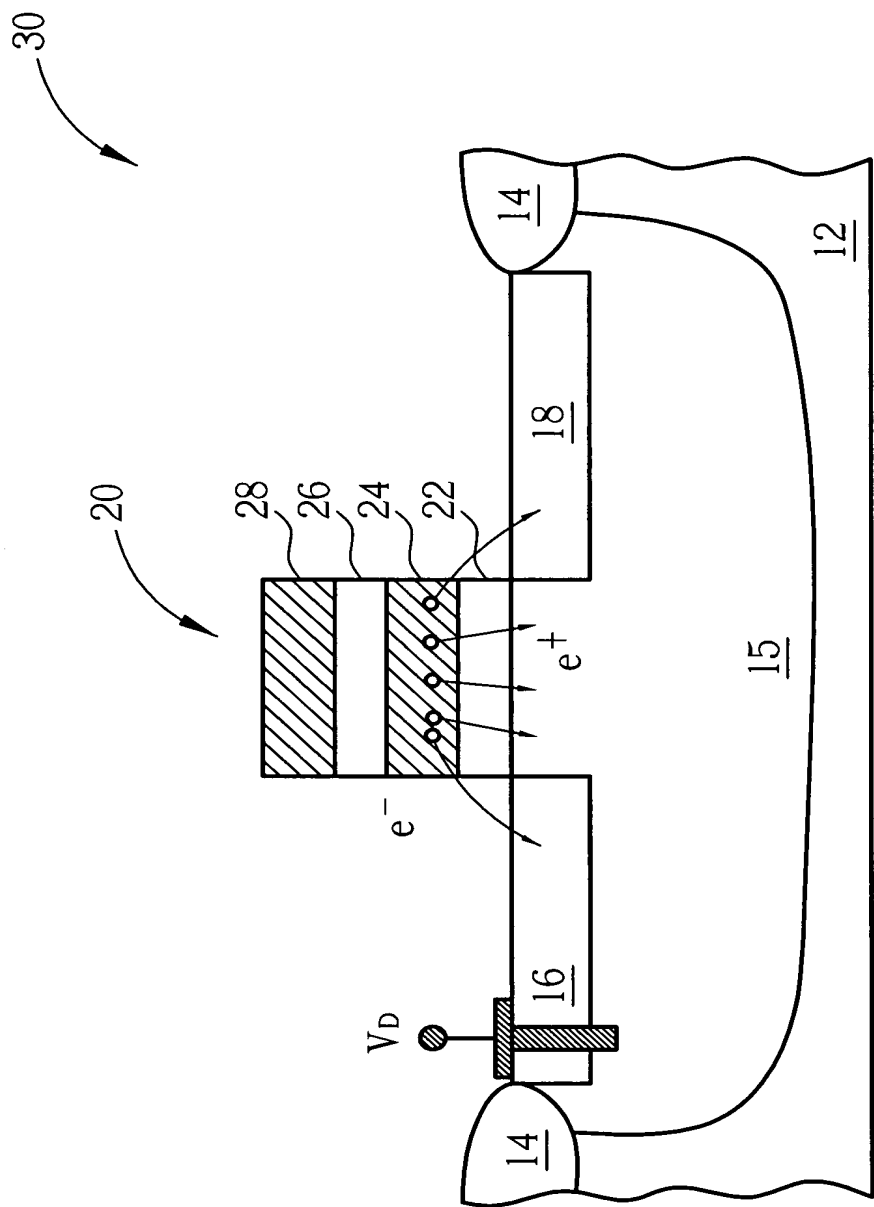
20. 如申請專利範圍第12項所述之快閃記憶胞結構，其中該汲極摻雜區與該深摻雜區係電性連接。



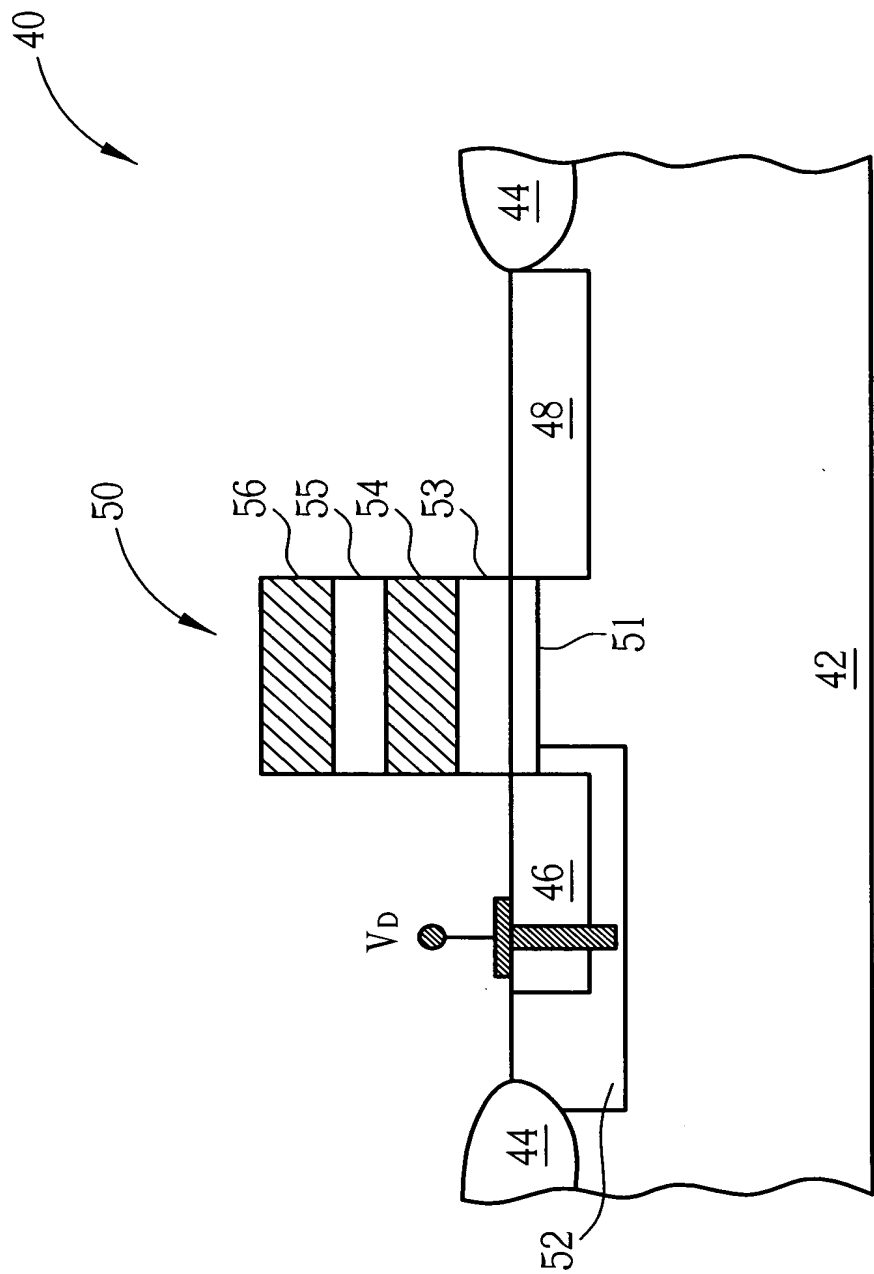
10



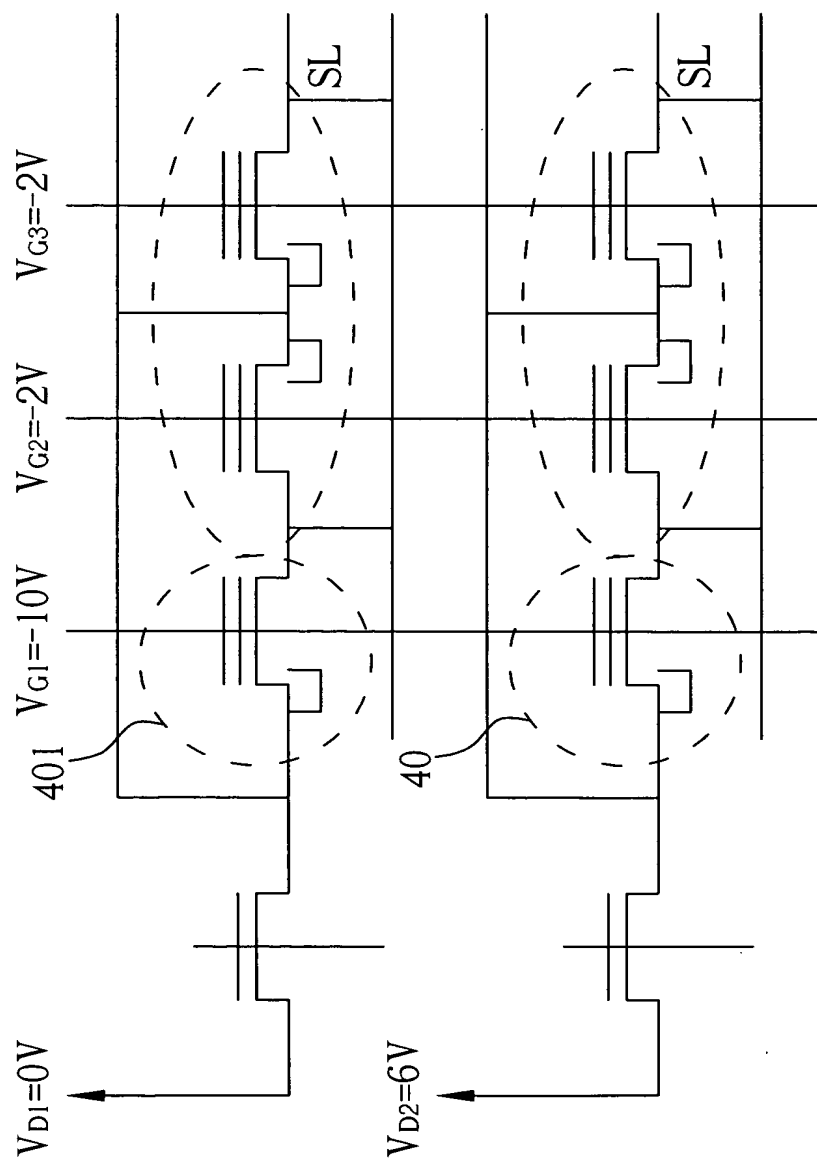
圖一



圖二

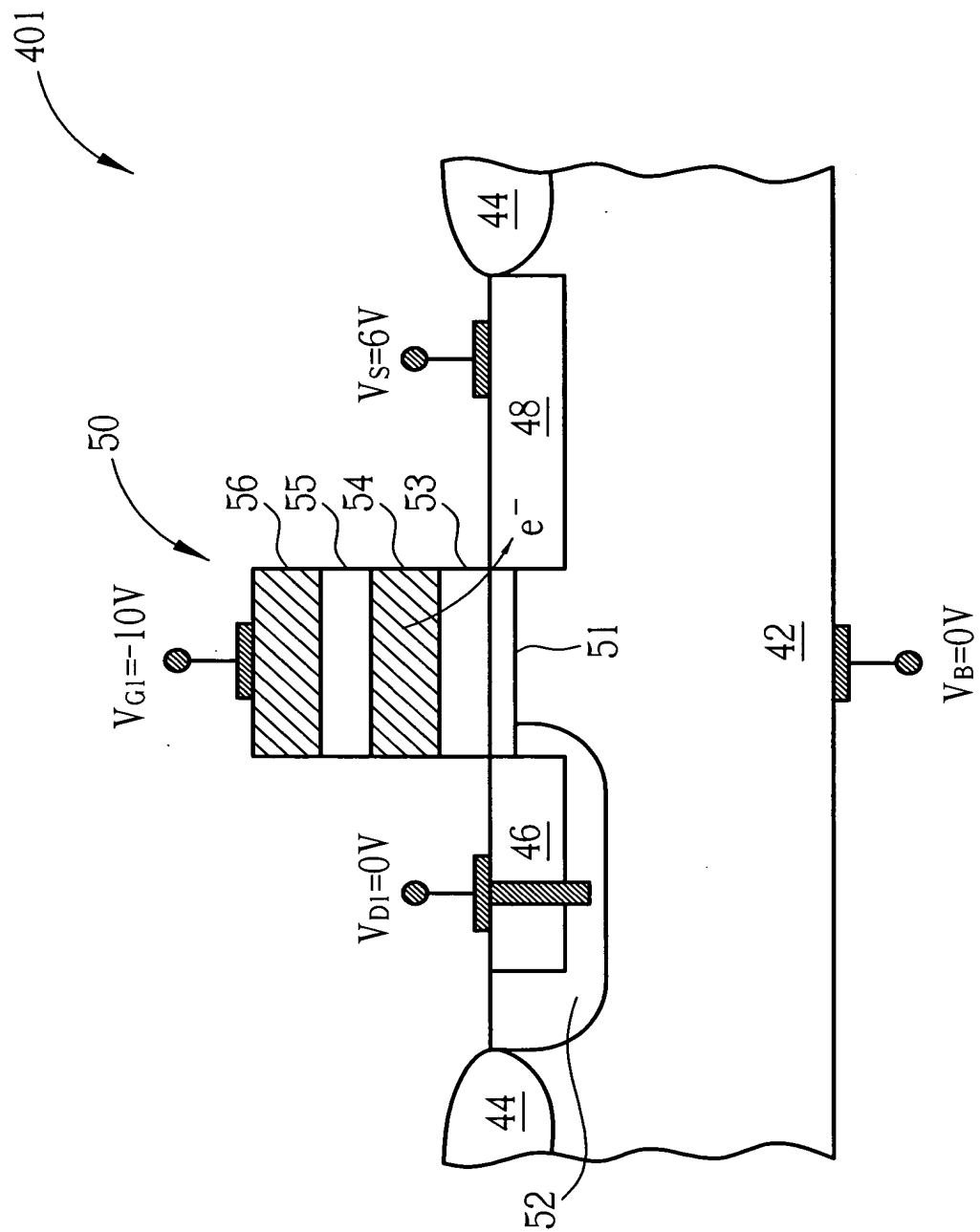


圖三

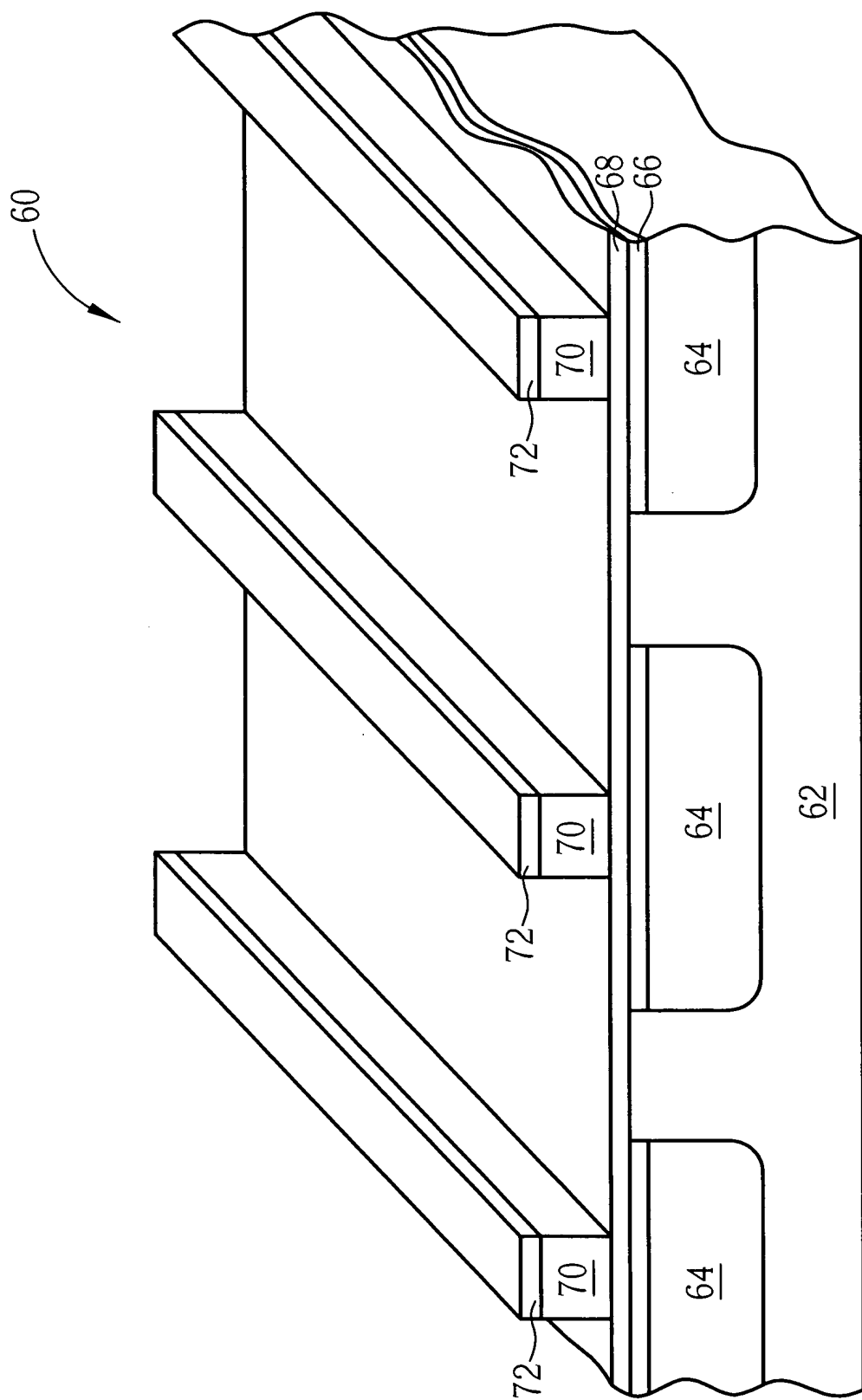


圖四

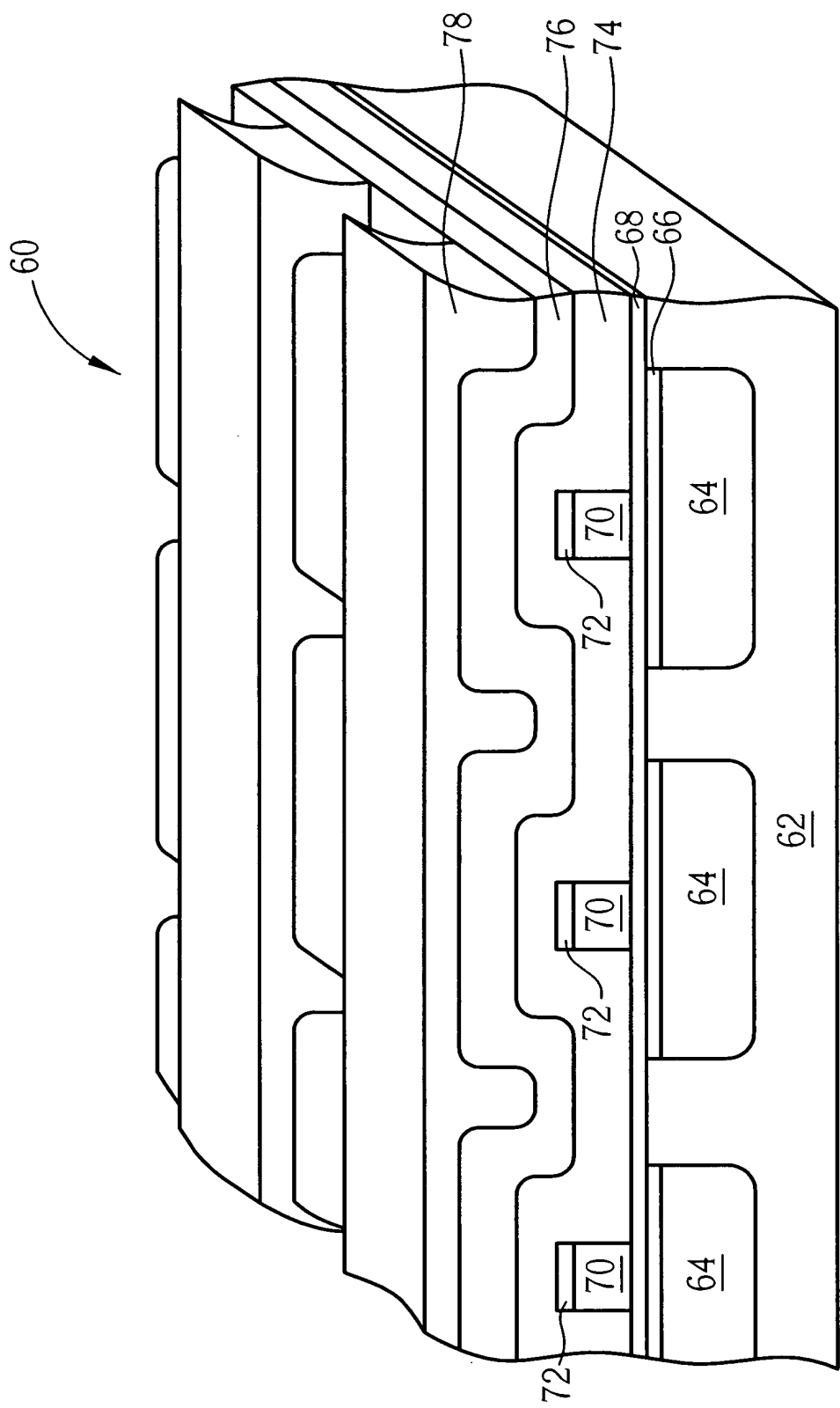




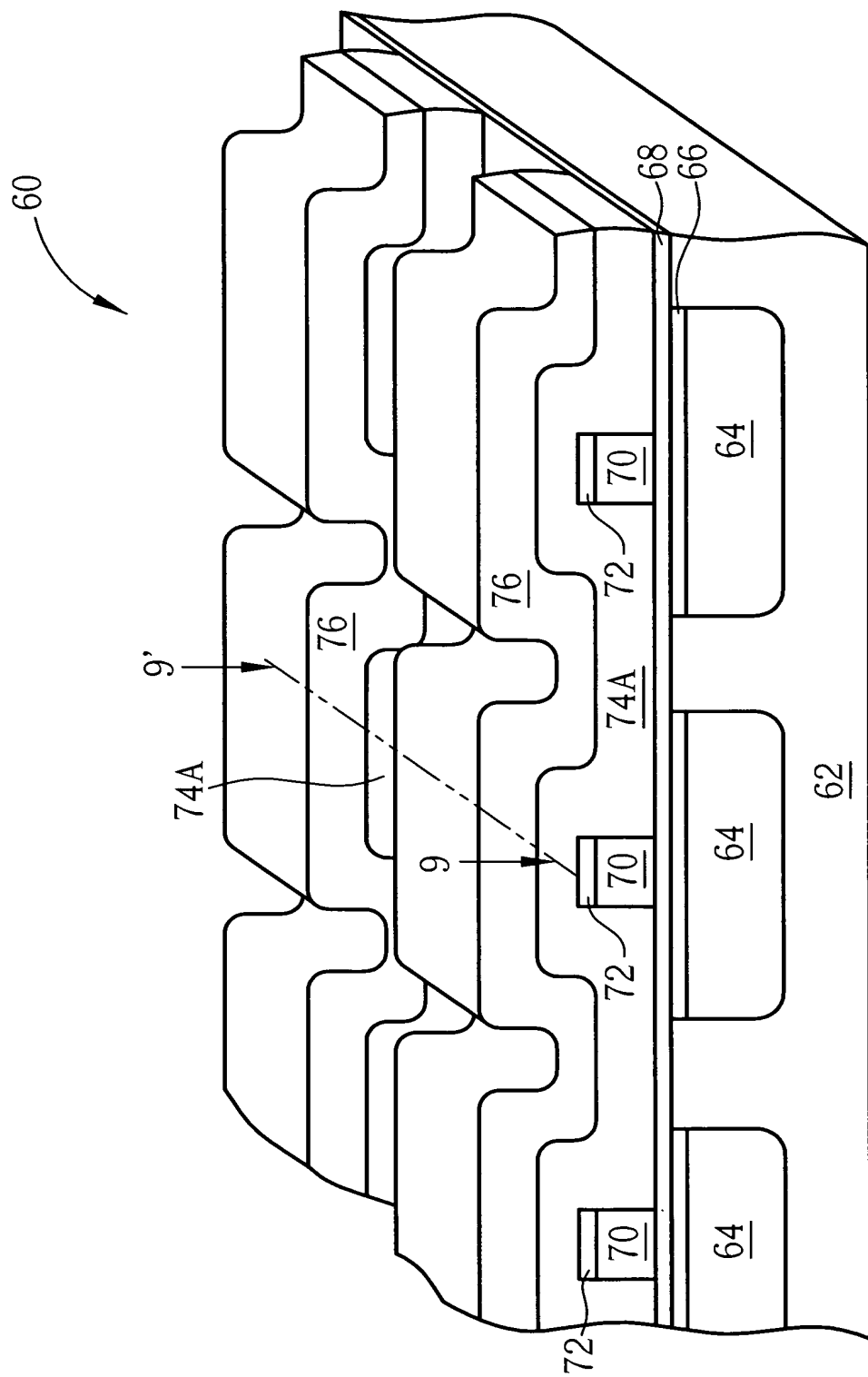
圖五



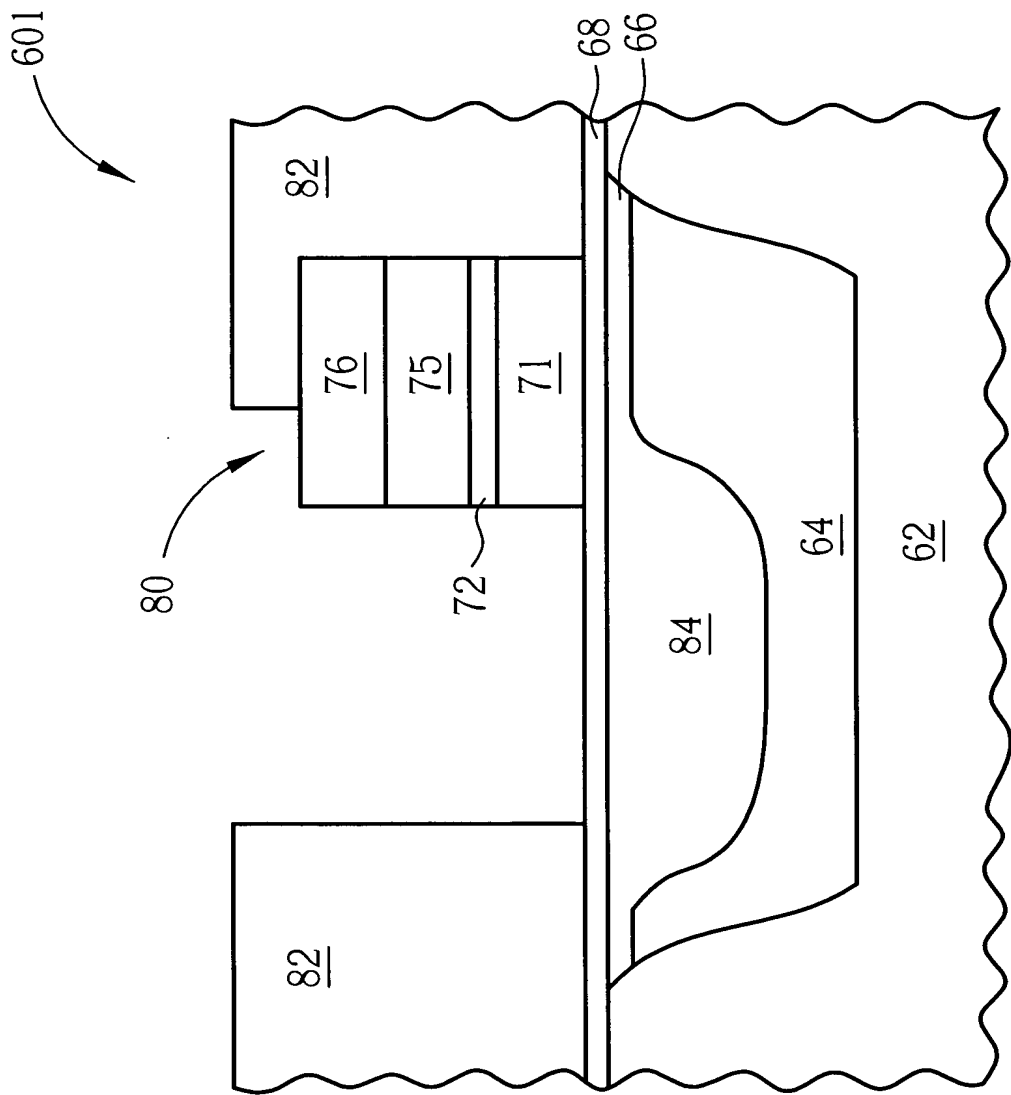
圖六



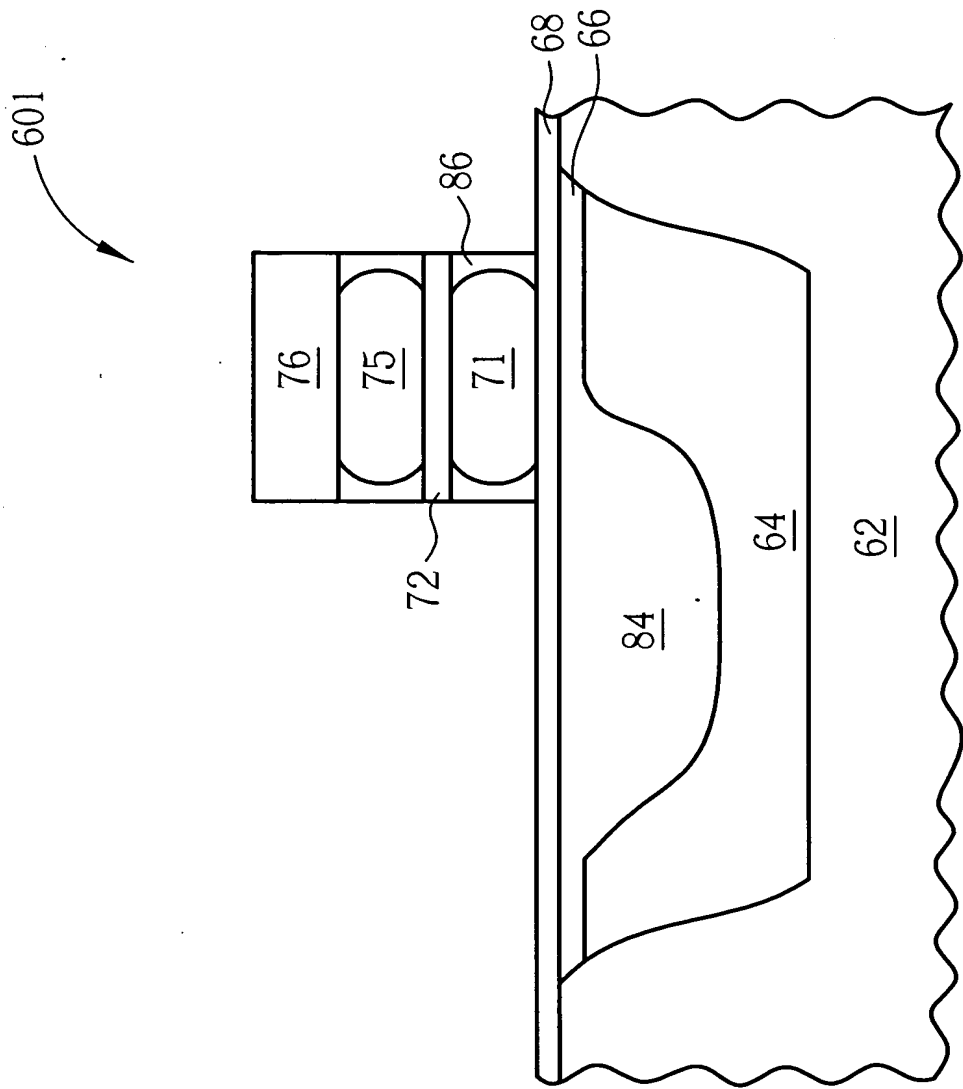
圖七



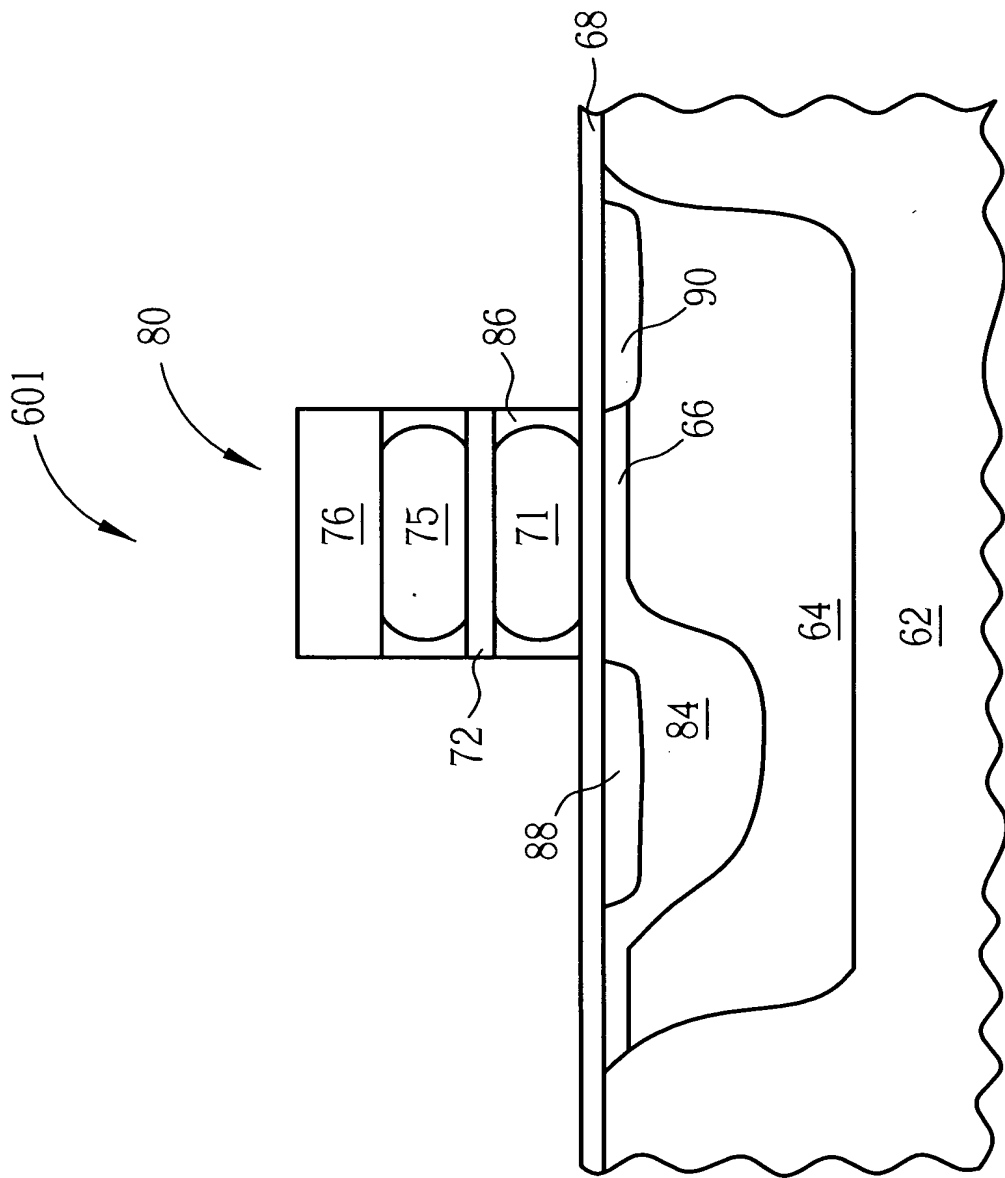
圖八



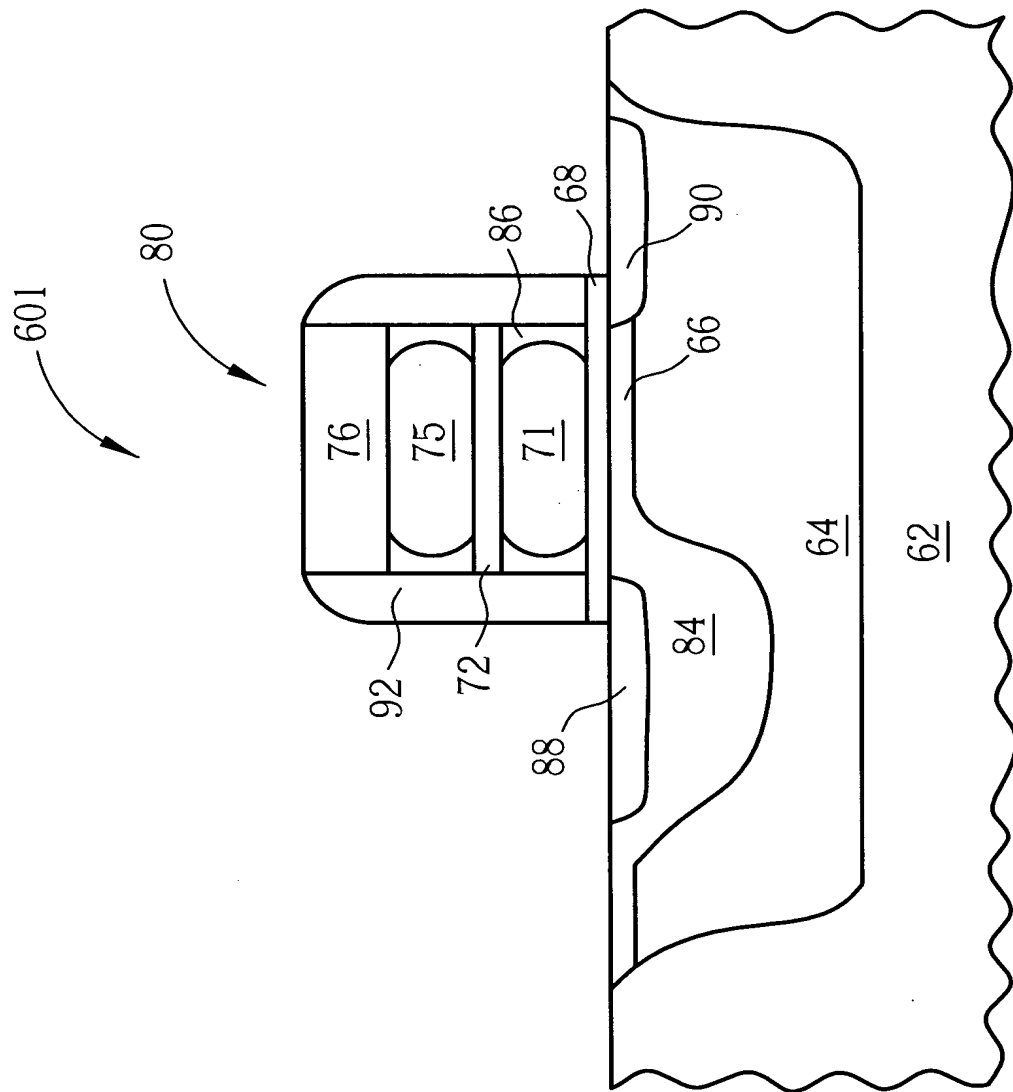
圖九



圖十

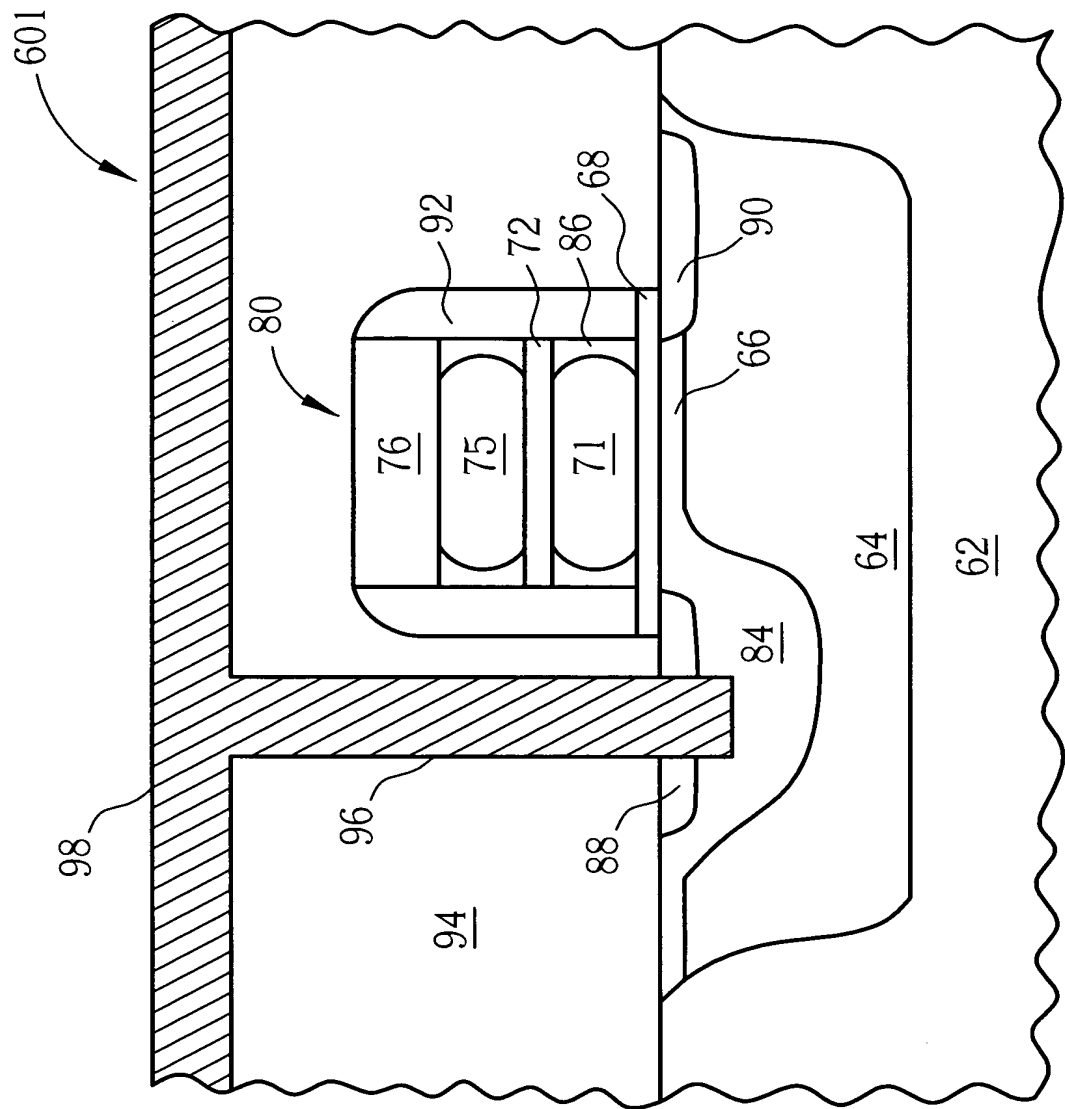


圖十一



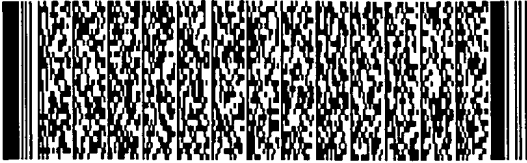
圖十二



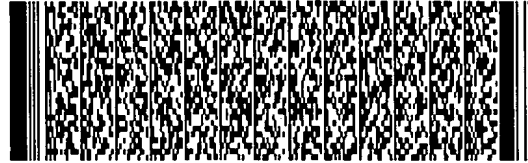


圖十三

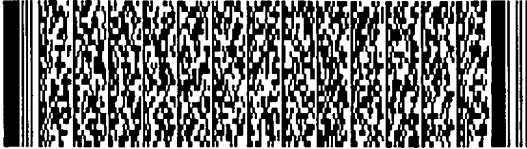
第 1/24 頁



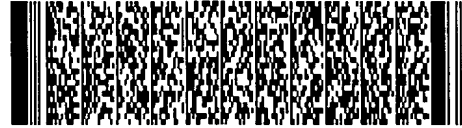
第 1/24 頁



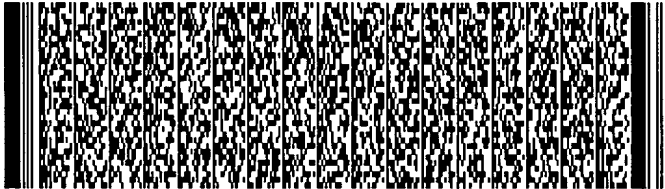
第 2/24 頁



第 3/24 頁



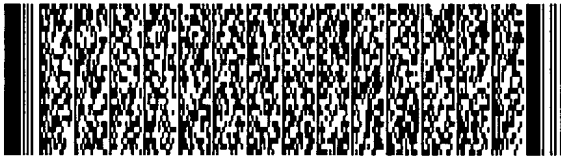
第 4/24 頁



第 5/24 頁



第 6/24 頁



第 7/24 頁



第 8/24 頁



第 8/24 頁



第 9/24 頁



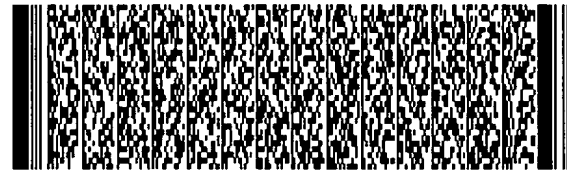
第 9/24 頁



第 10/24 頁



第 10/24 頁



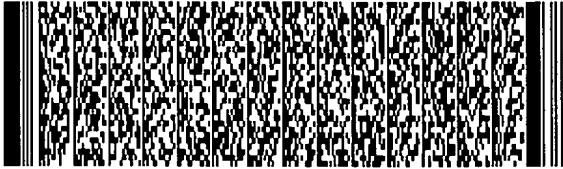
第 11/24 頁



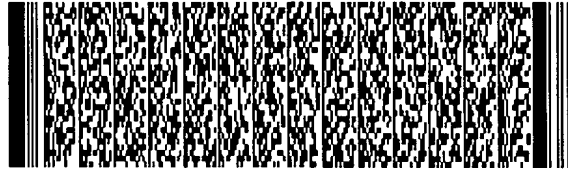
第 11/24 頁



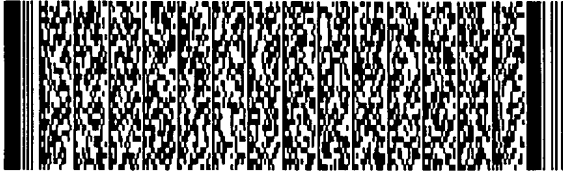
第 12/24 頁



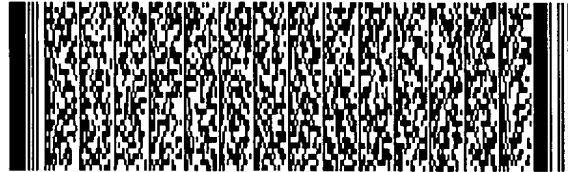
第 12/24 頁



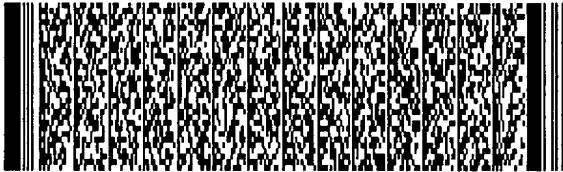
第 13/24 頁



第 13/24 頁



第 14/24 頁



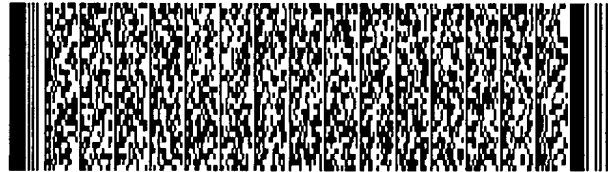
第 14/24 頁



第 15/24 頁



第 15/24 頁



第 16/24 頁



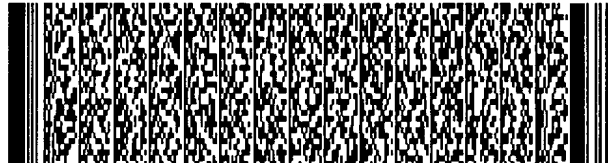
第 16/24 頁



第 17/24 頁



第 18/24 頁



第 19/24 頁



第 20/24 頁



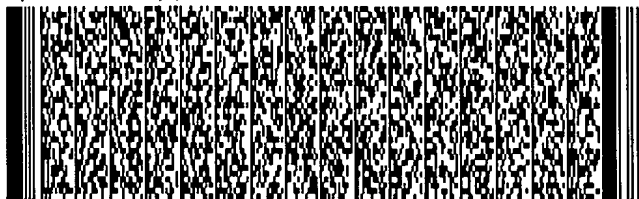
第 20/24 頁



第 21/24 頁



第 22/24 頁



第 23/24 頁



第 24/24 頁

